

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS




**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

## Semiconductor device and its manufacturing method, circuit board and electronic machine

**Patent number:** TW515064  
**Publication date:** 2002-12-21  
**Inventor:** HANAOKA TERUNAO (JP); ITO HARUKI (JP);  
KUWABARA KEIJI (JP)  
**Applicant:** SEIKO EPSON CORP (JP)  
**Classification:**  
- international: H01L23/31  
- european:  
**Application number:** TW20010106899 20010323  
**Priority number(s):** JP20000081999 20000323

**Also published as:**

 EP1198003 (A1)  
 WO0171805 (A1)  
 US2002008320 (A1)

**Abstract of TW515064**

In the manufacturing method of semiconductor device, the followings are formed on the aggregation (10) of plural semiconductor devices (12) having electrodes (14): multi-layered epoxy layers (40, 100); the wirings (20), which are electrically connected with the electrodes (14) of each semiconductor device (12); and the external terminals (30), which are electrically connected with the wirings (20). In addition, the work of cutting the aggregation (10) is included in the invention such that at least one epoxy layer of the multi-layered epoxy layers (40, 100) is formed at the cutting region (70) that evades the aggregation (10).

Data supplied from the **esp@cenet** database - Worldwide

(19) 日本国特許庁 (J P)

# 再公表特許 (A 1)

(11) 国際公開番号

WO 0 1 / 0 7 1 8 0 5

発行日 平成15年 7 月 8 日 (2003. 7. 8)

(43) 国際公開日 平成13年 9 月 27 日 (2001. 9. 27)

(51) Int.Cl.<sup>7</sup>

識別記号

F I

H 0 1 L 21/56  
23/29  
23/31

H 0 1 L 21/56  
23/30

E  
B

審査請求 未請求 予備審査請求 未請求 (全 41 頁)

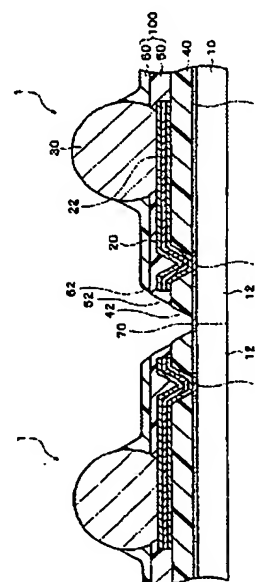
出願番号 特願2001-569886( P2001-569886)  
(21) 国際出願番号 PCT/J P 0 1 / 0 2 3 2 5  
(22) 国際出願日 平成13年 3 月 23 日 (2001. 3. 23)  
(31) 優先権主張番号 特願2000-81999( P2000-81999)  
(32) 優先日 平成12年 3 月 23 日 (2000. 3. 23)  
(33) 優先権主張国 日本 (J P)  
(81) 指定国 EP (A T, B E, C H, C Y, D E, D K, E S, F I, F R, G B, G R, I E, I T, L U, M C, N L, P T, S E, T R), C N, J P, K R

(71) 出願人 セイコーエプソン株式会社  
東京都新宿区西新宿 2 丁目 4 番 1 号  
(72) 発明者 桑原 啓二  
長野県諏訪市大和 3 丁目 3 番 5 号 セイコーエプソン株式会社内  
(72) 発明者 花岡 輝直  
長野県諏訪市大和 3 丁目 3 番 5 号 セイコーエプソン株式会社内  
(72) 発明者 伊東 春樹  
長野県諏訪市大和 3 丁目 3 番 5 号 セイコーエプソン株式会社内  
(74) 代理人 弁理士 井上 一 (外 2 名)

(54) 【発明の名称】 半導体装置及びその製造方法、回路基板並びに電子機器

(57) 【要約】

半導体装置の製造方法は、電極 (1 4) を有する複数の半導体素子 (1 2) の集合体 (1 0) に、複数の樹脂層 (4 0、1 0 0) と、各半導体素子 (1 2) の電極 (1 4) に電気的に接続する配線 (2 0) と、配線 (2 0) に電気的に接続する外部端子 (3 0) と、を形成し、集合体 (1 0) を切断する工程を含み、複数の樹脂層 (4 0、1 0 0) のうち少なくとも 1 つの樹脂層を、集合体 (1 0) の切断領域 (7 0) を避けて形成する。



(2)

**【特許請求の範囲】**

【請求項 1】電極を有する複数の半導体素子の集合体に、複数の樹脂層と、各半導体素子の前記電極に電氣的に接続する配線と、前記配線に電氣的に接続する外部端子と、を形成し、前記集合体を切断する工程を含む半導体装置の製造方法であって、

前記複数の樹脂層のうち少なくとも 1 つの樹脂層を、前記集合体の切断領域を避けて形成する半導体装置の製造方法。

【請求項 2】請求項 1 記載の半導体装置の製造方法において、

前記少なくとも 1 つの樹脂層を、インクジェット方式又は印刷方式によって形成する半導体装置の製造方法。

【請求項 3】請求項 1 記載の半導体装置の製造方法において、

前記少なくとも 1 つの樹脂層を、予めパターンニングして別部材に形成しておき、前記集合体に転写させることによって形成する半導体装置の製造方法。

【請求項 4】請求項 1 から請求項 3 のいずれかに記載の半導体装置の製造方法において、

前記切断領域に前記少なくとも 1 つの樹脂層を弾く成分からなる材料を設け、前記少なくとも 1 つの樹脂層を前記材料で弾かせることによって形成する半導体装置の製造方法。

【請求項 5】請求項 1 記載の半導体装置の製造方法において

前記少なくとも 1 つの樹脂層は感光性の材料からなり、

前記少なくとも 1 つの樹脂層を、露光して前記切断領域の部分を除くことによって形成する半導体装置の製造方法。

【請求項 6】請求項 1、2、3、5 のいずれかに記載の半導体装置の製造方法において、

前記複数の樹脂層は、前記配線の下第 1 の樹脂層と、前記配線の上第 2 の樹脂層と、を含み、

前記樹脂層を形成する工程で、少なくとも前記第 1 の樹脂層を、前記集合体の切断領域を避けて形成する半導体装置の製造方法。

【請求項 7】請求項 6 記載の半導体装置の製造方法において、

(3)

前記樹脂層を形成する工程で、前記第 2 の樹脂層を前記集合体の切断領域を避けて形成する半導体装置の製造方法。

【請求項 8】請求項 7 記載の半導体装置の製造方法において、

前記樹脂層を形成する工程で、前記第 2 の樹脂層の少なくとも最上層を、前記外部端子及び前記切断領域を覆うように設けた後に、一部を除去して前記外部端子の少なくとも先端部を露出させると同時に、前記切断領域の部分を除去する半導体装置の製造方法。

【請求項 9】請求項 6 記載の半導体装置の製造方法において、

前記樹脂層を形成する工程で、前記第 2 の樹脂層を複数層により形成し、前記複数層のうち少なくとも最上層を前記集合体の切断領域を覆うように形成する半導体装置の製造方法。

【請求項 10】請求項 1、2、3、5 のいずれかに記載の半導体装置の製造方法において、

前記複数の樹脂層は、前記配線の下第 1 の樹脂層と、前記配線の上第 2 の樹脂層と、を含み、

前記樹脂層を形成する工程で、少なくとも前記第 2 の樹脂層を前記集合体の切断領域を避けて形成する半導体装置の製造方法。

【請求項 11】請求項 6 記載の半導体装置の製造方法において、

前記第 2 の樹脂層の熱膨張係数は、前記第 1 の樹脂層よりも大きい半導体装置の製造方法。

【請求項 12】請求項 6 記載の半導体装置の製造方法において、

前記樹脂層を形成する工程で、前記外部端子の前記第 2 の樹脂層から露出する部分が、前記外部端子の前記配線との接合部よりも平面視において小さくなるように、前記第 2 の樹脂層を前記外部端子の一部を露出させて形成する半導体装置の製造方法。

【請求項 13】請求項 6 記載の半導体装置の製造方法において、

前記第 2 の樹脂層を複数層で形成し、

前記樹脂層を形成する工程で、前記第 2 の樹脂層の最下層を、前記配線における前記外部端子を形成する領域を避けて形成し、

## (4)

前記外部端子を形成する工程で、前記外部端子を、前記配線の前記第 2 の樹脂層から露出した部分に形成する半導体装置の製造方法。

【請求項 14】請求項 6 記載の半導体装置の製造方法において、

それぞれの前記半導体素子には、複数の前記電極が形成されてなり、

前記樹脂層を形成する工程で、前記半導体素子における前記電極よりも内側の領域に、前記第 1 の樹脂層を形成する半導体装置の製造方法。

【請求項 15】請求項 1、2、3、5 のいずれかに記載の半導体装置の製造方法によって製造されてなる半導体装置。

【請求項 16】電極を有する半導体チップと、

前記半導体チップの前記電極に電氣的に接続された配線と、

前記配線に電氣的に接続して設けられた外部端子と、

前記半導体チップの前記電極が形成された面に設けられた複数の樹脂層と、

を含み、

前記複数の樹脂層のうち少なくとも 1 つの樹脂層は、その平面形状の外周が前記半導体チップの外周よりも内側に位置する半導体装置。

【請求項 17】請求項 16 記載の半導体装置において、

前記少なくとも 1 つの樹脂層は、前記配線の下に形成されてなる半導体装置。

【請求項 18】請求項 16 記載の半導体装置において、

前記半導体チップは、複数の前記電極を有し、

前記少なくとも 1 つの樹脂層は、平面視において前記半導体チップにおける前記電極よりも内側の領域に形成されてなる半導体装置。

【請求項 19】請求項 16 から請求項 18 のいずれかに記載の半導体装置において、

前記複数の樹脂層は、前記配線の上で前記外部端子の根元周囲を覆うように設けられた樹脂層を含み、

前記外部端子の前記樹脂層から露出する部分が、前記外部端子の前記配線との接合部よりも平面視において小さくなるように、前記外部端子の一部が露出してなる半導体装置。

【請求項 20】請求項 16 から請求項 18 のいずれかに記載の半導体装置が搭載

(5)

された回路基板。

【請求項 2 1】請求項 1 6 から請求項 1 8 のいずれかに記載の半導体装置を有する電子機器。

(6)

**【発明の詳細な説明】****[技術分野]**

本発明は、半導体装置及びその製造方法、回路基板並びに電子機器に関する。

**[背景技術]**

半導体装置の高密度実装を追及すると、ベアチップ実装が理想的である。しかしながら、ベアチップは、品質の保証及び取り扱いが難しい。そこで、C S P ( C h i p S c a l e / S i z e P a c k a g e ) が適用された半導体装置が開発されている。

特に近年、ウェーハレベルで製造する、いわゆるウェーハレベルC S Pが注目されている。ウェーハレベルC S Pでは、樹脂層を有し再配線が施された複数の半導体素子をウェーハ単位で形成し、その後に各半導体素子に切断して半導体装置を形成する。

しかし、この場合にダイシングされた半導体装置の端部が欠け、これによって、樹脂層が半導体素子の界面から剥離してしまう場合があった。

**[発明の開示]**

本発明はこの問題点を解決したものであり、その目的は、信頼性の高い半導体装置及びその製造方法、回路基板並びに電子機器を提供することにある。

(1) 本発明に係る半導体装置の製造方法は、電極を有する複数の半導体素子の集合体に、複数の樹脂層と、各半導体素子の前記電極に電氣的に接続する配線と、前記配線に電氣的に接続する外部端子と、を形成し、前記集合体を切断する工程を含む半導体装置の製造方法であって、

前記複数の樹脂層のうち少なくとも1つの樹脂層を、前記集合体の切断領域を避けて形成する。

本発明によれば、予め少なくとも1つの樹脂層を集合体の切断領域を避けて形成し、集合体を切断する。これによって、半導体装置の端部の欠けを抑えて、半導体装置の樹脂層の剥離を防止することができる。したがって、信頼性の高い半導体装置を製造することができる。

(2) この半導体装置の製造方法において、

前記少なくとも1つの樹脂層を、インクジェット方式又は印刷方式によって形



(7)

成してもよい。

これによって、より簡単に、少なくとも1つの樹脂層を切断領域を避けて形成することができる。

(3) この半導体装置の製造方法において、

前記少なくとも1つの樹脂層を、予めパターンニングして別部材に形成しておき、前記集合体に転写させることによって形成してもよい。

これによって、より簡単に、少なくとも1つの樹脂層を切断領域を避けて形成することができる。

(4) この半導体装置の製造方法において、

前記切断領域に前記少なくとも1つの樹脂層を弾く成分からなる材料を設け、前記少なくとも1つの樹脂層を前記材料で弾かせることによって形成してもよい。

これによって、少なくとも1つの樹脂層を確実に切断領域から除くことができる。

(5) この半導体装置の製造方法において、

前記少なくとも1つの樹脂層は感光性の材料からなり、

前記少なくとも1つの樹脂層を、露光して前記切断領域の部分除去することによって形成してもよい。

これによって、例えば、既存の工程で容易に少なくとも1つの樹脂層を形成することができる。

(6) この半導体装置の製造方法において、

前記複数の樹脂層は、前記配線の下第1の樹脂層と、前記配線の上第2の樹脂層と、を含み、

前記樹脂層を形成する工程で、少なくとも前記第1の樹脂層を、前記集合体の切断領域を避けて形成してもよい。

これによれば、配線の下に形成する第1の樹脂層を、切断領域を避けて形成する。例えば、第1の樹脂層を比較的厚く形成する場合に効果的である。

(7) この半導体装置の製造方法において、

前記樹脂層を形成する工程で、前記第2の樹脂層を前記集合体の切断領域を避

(8)

けて形成してもよい。

(8) この半導体装置の製造方法において、

前記樹脂層を形成する工程で、前記第2の樹脂層の少なくとも最上層を、前記外部端子及び前記切断領域を覆うように設けた後に、一部を除去して前記外部端子の少なくとも先端部を露出させると同時に、前記切断領域の部分を除去してもよい。

これによって、例えば、既存の工程数で第2の樹脂層を切断領域から除去することができる。

(9) この半導体装置の製造方法において、

前記樹脂層を形成する工程で、前記第2の樹脂層を複数層により形成し、前記複数層のうち少なくとも最上層を前記集合体の切断領域を覆うように形成してもよい。

これによれば、切断の際の半導体素子の端部の欠けの発生を抑制し、その進行も抑え、樹脂層の剥離を有効に防止することができる。

(10) この半導体装置の製造方法において、

前記複数の樹脂層は、前記配線の下第1の樹脂層と、前記配線の上第2の樹脂層と、を含み、

前記樹脂層を形成する工程で、少なくとも前記第2の樹脂層を前記集合体の切断領域を避けて形成してもよい。

これによれば、配線の上に形成する第2の樹脂層を、切断領域を避けて形成する。例えば、第2の樹脂層を比較的厚く形成する場合に効果的である。

(11) この半導体装置の製造方法において、

前記第2の樹脂層の熱膨張係数は、前記第1の樹脂層よりも大きくてもよい。

これによって、熱ストレスによる応力を効果的に緩和することができる。

(12) この半導体装置の製造方法において、

前記樹脂層を形成する工程で、前記外部端子の前記第2の樹脂層から露出する部分が、前記外部端子の前記配線との接合部よりも平面視において小さくなるように、前記第2の樹脂層を前記外部端子の一部を露出させて形成してもよい。

これによって、第2の樹脂層における外部端子との接触面積を大きくすること

(9)

で、応力をさらに効果的に緩和することができる。

(13) この半導体装置の製造方法において、

前記第2の樹脂層を複数層で形成し、

前記樹脂層を形成する工程で、前記第2の樹脂層の最下層を、前記配線における前記外部端子を形成する領域を避けて形成し、

前記外部端子を形成する工程で、前記外部端子を、前記配線の前記第2の樹脂層から露出した部分に形成してもよい。

これによって、外部端子をより簡単に設けることができる。

(14) この半導体装置の製造方法において、

それぞれの前記半導体素子には、複数の前記電極が形成されてなり、

前記樹脂層を形成する工程で、前記半導体素子における前記電極よりも内側の領域に、前記第1の樹脂層を形成してもよい。

これによって、第1の樹脂層を切断領域から避けて設けることができる。また、第1の樹脂層の面積を小さくすることで、半導体素子と第1の樹脂層との熱膨張係数がある程度異なる場合であっても、外部端子に加えられる応力を効果的に緩和することができる。

(15) 本発明に係る半導体装置は、上記半導体装置の製造方法によって製造されてなる。

(16) 本発明に係る半導体装置は、電極を有する半導体チップと、

前記半導体チップの前記電極に電氣的に接続された配線と、

前記配線に電氣的に接続して設けられた外部端子と、

前記半導体チップの前記電極が形成された面に設けられた複数の樹脂層と、  
を含み、

前記複数の樹脂層のうち少なくとも1つの樹脂層は、その平面形状の外周が前記半導体チップの外周よりも内側に位置する。

本発明によれば、少なくとも1つの樹脂層の平面形状の外周が、切断された半導体素子の外周よりも内側に位置する。すなわち、複数の樹脂層のうち少なくとも1つの樹脂層は、半導体素子の端部を避けて形成されている。これによって、切断面からの樹脂層の剥離を防止することができる。

(10)

(17) この半導体装置において、  
前記少なくとも1つの樹脂層は、前記配線の下に形成されてもよい。

(18) この半導体装置において、  
前記半導体チップは、複数の前記電極を有し、  
前記少なくとも1つの樹脂層は、平面視において前記半導体チップにおける前記電極よりも内側の領域に形成されてもよい。

これによれば、樹脂層の面積が小さいので、半導体チップと樹脂層との熱膨張係数がある程度異なる場合であっても、外部端子に加えられる応力を効果的に緩和することができる。

(19) この半導体装置において、  
前記複数の樹脂層は、前記配線の上で前記外部端子の根元周囲を覆うように設けられた樹脂層を含み、

前記外部端子の前記樹脂層から露出する部分が、前記外部端子の前記配線との接合部よりも平面視において小さくなるように、前記外部端子の一部が露出してもよい。

これによって、樹脂層における外部端子との接触面積を大きくすることで、応力をさらに効果的に緩和することができる。

(20) 本発明に係る回路基板は、上記半導体装置が搭載されている。

(21) 本発明に係る電子機器は、上記半導体装置を有する。

[発明を実施するための最良の形態]

以下、本発明の好適な実施の形態について図面を参照して説明する。ただし、本発明は、以下の実施の形態に限定されるものではない。

(第1の実施の形態)

図1は、第1の実施の形態に係る半導体装置を説明するための図である。図2～図12は、本実施の形態に係る半導体装置の製造方法を説明するための図である。

本実施の形態に係る半導体装置の製造方法は、集合体10に、配線20、外部端子30及び複数の樹脂層を形成する。集合体10は、複数の半導体素子12を有する。集合体10は、シリコンウェーハであってもよい。各半導体素子12に

(11)

は複数の電極 1 4 が形成されている。集合体 1 0 を個々の半導体素子 1 2 に切断することによって、半導体素子 1 2 を半導体チップとすることができる。図 1 は、詳しくは、個々の半導体素子 1 2 に切断する前の集合体 1 0 を含む半導体装置の集合体を示す図である。

本実施の形態に係る半導体装置は、図 1 に示す半導体装置を切断してなるものである。半導体装置 1 は、個々の半導体素子（半導体チップ） 1 2 と、配線 2 0 と、外部端子 3 0 と、複数の樹脂層（図 1 では第 1 の樹脂層 4 0 及び第 2 の樹脂層 1 0 0）と、を含む。そして、複数の樹脂層のうちの少なくとも 1 つの樹脂層（図 1 では全ての樹脂層）は、半導体素子 1 2 の端部を避けて形成されている。半導体装置 1 は、そのパッケージサイズが半導体チップにほぼ等しいので、C S P に分類することができ、あるいは、応力緩和機能を備えるフリップチップであるということもできる。

半導体素子 1 2 は、一つの面（能動面）に複数の電極 1 4 が形成されている。複数の電極 1 4 は、半導体素子 1 2 の平面形状が矩形（正方形又は長方形）である場合には、少なくとも一辺（対向する二辺又は全ての辺を含む）に沿って形成されている。あるいは、半導体素子 1 2 の一方の面の中央に複数の電極 1 4 を形成してもよい。電極 1 4 を避けて、半導体素子 1 2 には、S i N、S i O<sub>2</sub>、M g O などのパッシベーション膜 1 6 が形成されている。パッシベーション膜 1 6 は電気的な絶縁膜である。パッシベーション膜 1 6 は、本実施の形態における複数の樹脂層とは異なり、樹脂以外の材料で形成されていてもよい。パッシベーション膜 1 6 は、電極 1 4 の少なくとも一部を避けて、半導体素子 1 2 の全面に形成されていてもよい。

配線 2 0 は、半導体素子 1 2 における電極 1 4 が形成された面で、電極 1 4 に電氣的に接続されている。配線 2 0 は、複数層から構成されることが多い。例えば、銅（C u）、クロム（C r）、チタン（T i）、ニッケル（N i）、チタンタングステン（T i W）、金（A u）、アルミニウム（A l）、ニッケルバナジウム（N i V）、タングステン（W）のうちのいずれかを積層して配線 2 0 を形成することができる。電極 1 4 が半導体素子 1 2 の端部に形成されている場合には、半導体素子 1 2 の中央方向に、配線 2 0 を引き込む。各電極 1 4 に接続され

(12)

て配線 20 が形成されることによって、半導体素子 12 の面に配線パターンが形成される。

図 1 に示すように、外部端子 30 は、電極 14 の真上を避けて、配線 20 上に形成されている。詳しくは、外部端子 30 は、配線 20 の例えばランド部 22 に形成されている。ランド部 22 は、電極 14 から引き出される部分（ライン）よりも面積が大きく形成されている。外部端子 30 は、電極 14 の真上を避けて形成されているので、外部端子 30 に加えられた応力が電極 14 に直接加えられないようになっている。外部端子 30 は、例えばハンダボールなどであって、回路基板との電氣的な接合に使用される。

第 1 の樹脂層 40 は、複数層で形成されてもよいが、図 1 に示す例では 1 層で形成されている。第 1 の樹脂層 40 は、応力緩和機能を有してもよい。第 1 の樹脂層 40 は、ポリイミド樹脂、シリコーン変性ポリイミド樹脂、エポキシ樹脂、シリコーン変性エポキシ樹脂、ベンゾシクロブテン（BCB；benzocyclobutene）、ポリベンゾオキサゾール（PBO；polybenzoxazole）等で形成することができる。

第 1 の樹脂層 40 は、配線 20 の下を含む領域に形成されている。詳しくは、第 1 の樹脂層 40 は集合体 10 に形成され、第 1 の樹脂層 40 上に、ランド部 22 及びそれに接続されるラインが形成されている。言い換えれば、第 1 の樹脂層 40 は、少なくとも配線 20 と半導体素子 12 との間に形成されている。

第 2 の樹脂層 100 は、1 層又は複数層で形成されている。第 2 の樹脂層 100 は、配線 20 の上を含む領域に形成されている。第 2 の樹脂層 100 は、上述の第 1 の樹脂層 40 と同様の材料からなってもよく、少なくとも 1 層が応力緩和機能を有してもよい。あるいは、第 2 の樹脂層 100 は、第 1 の樹脂層 40 とは異なる材料で形成されてもよい。

図 1 に示す例では、第 2 の樹脂層 100 は、最上層 60 と、最下層 50 とを含む。最上層 60 及び最下層 50 は、互いに異なる材料で形成されてもよい。最上層 60 の材料としては、上述の第 1 の樹脂層 40 で使用可能な材料を用いることが好ましく、第 1 の樹脂層 40 及び第 2 の樹脂層 100 を構成する他の層（最下層 50）の材料よりも、ヤング率が低い材料を用いることが特に好ましい。

(13)

配線 20 は、一部において電極 14 と接続し、そこから第 1 の樹脂層 40 の上に至るように引き廻されている。ランド部 22 は、第 1 の樹脂層 40 の上に形成されている。第 1 の樹脂層 40 は、電極 14 を露出させて、集合体 10 に形成されている。詳しくは、集合体 10 のパッシベーション膜 16 上に第 1 の樹脂層 40 が形成されている。

最下層 50 は、例えばソルダレジストであり、配線 20 を覆うように形成されている。この場合に、最下層 50 は、配線 20 のうちランド部 22 を避けて形成されている。また、最下層 50 は、第 1 の樹脂層 40 の上にも形成されてもよい。

第 2 の樹脂層 100 が 1 層からなる場合は、最上層 60 が最下層 50 に代わって配線 20 を覆うように形成されていてもよい。最上層 60 は、外部端子 30 の根元周囲に形成されている。あるいは、外部端子 30 の先端部を除いて、外部端子 30 の側部を覆うまで形成されていてもよい。いずれにしても、最上層 60 の一部が除去されることによって、外部端子 30 は少なくとも先端部が露出している。

また、第 2 の樹脂層 100 の熱膨張係数は、第 1 の樹脂層 40 よりも大きくてもよい。これによって、熱ストレスによって外部端子 30 に加えられる応力等を緩和することができる。

本実施の形態に係る半導体装置は、第 1 の樹脂層 40 が、その平面形状が半導体素子 12 の外周よりも内側に位置するように形成されている。詳しくは、第 1 の樹脂層 40 が、半導体素子 12 の端部を避けて形成されている。その場合、図 1 に示すように、第 2 の樹脂層 100 も、半導体素子 12 の端部を避けて形成されてもよい。半導体装置 1 の第 1 の樹脂層 40 及び第 2 の樹脂層 100 の端面は、例えば後述する露光技術、印刷方式又はインクジェット方式等によって形成された端面になっていてもよい。その端面は、機械的に切断された面とは異なる滑らかな端面であってもよく、図 1 に示すように、半導体素子 12 から離れる方向に、各樹脂層の平面形状が小さくなるようなテーパが付された傾斜面となってもよい。

これによれば、第 1 の樹脂層 40 及び第 2 の樹脂層 100 の端面が、半導体装

(14)

置 1 の外周よりも内側に位置するので、半導体素子 1 2 からのそれらの剥離を抑えることができる。

また、本実施の形態において、例えば、第 1 の樹脂層 4 0 が半導体素子 1 2 の端部を避けて形成されていれば、第 2 の樹脂層 1 0 0 は半導体素子 1 2 の端部を覆うように形成されていても構わない。すなわち、第 2 の樹脂層 1 0 0 の切断面が半導体装置 1 の端部に位置しても構わない。その場合に、第 2 の樹脂層 1 0 0 の最上層 6 0 のみが、半導体素子 1 2 の端部を覆うように形成されてもよい。特に、最上層 6 0 を他の樹脂層（第 1 の樹脂層 4 0 及び第 2 の樹脂層 1 0 0 の最下層 5 0）よりもヤング率の低い材料を用いて形成すれば、切断領域 7 0 での半導体素子 1 2 のかけを防止するとともに、その欠けの進行を抑え、第 1 の樹脂層 4 0 及び第 2 の樹脂層 1 0 0 の半導体素子 1 2 からの剥離を抑えることができる。さらに、最上層 6 0 を半導体素子 1 2 の端部を避けて設けずに済むので、簡単な工程で半導体装置を製造することができる。

以下に、本実施の形態に係る半導体装置の製造方法について、図 2 ～図 1 2 を参照して説明する。本実施の形態では、複数の樹脂層のうち少なくとも 1 つの樹脂層（例えば少なくとも第 1 の樹脂層 4 0）を、切断領域 7 0 を避けて形成する。

図 2 ～図 5 に示すように、第 1 の樹脂層 4 0、配線 2 0 及び第 2 の樹脂層 1 0 0 の一つである最下層 5 0 を形成する。

まず、複数の電極 1 4 を有し、電極 1 4 の少なくとも一部を避けてパッシベーション膜 1 6 が形成された集合体 1 0（図 8 参照）を用意する。

次に配線 2 0 を形成するための第 1 の樹脂層 4 0 を形成する。第 1 の樹脂層 4 0 を、露光技術によって形成してもよい。例えば、図 2 に示すように、電極 1 4 上及び集合体 1 0 上（詳しくはパッシベーション膜 1 6 上）に、第 1 の樹脂層 4 0 を全面に設ける。第 1 の樹脂層 4 0 の材料として、エネルギー（光、紫外線又は放射線など）に感応して性質を変える樹脂を使用することができ、例えば、フォトリソグラーフなどを使用できる。第 1 の樹脂層 4 0 の材料としては、エネルギーが照射されると、溶解性が増加するもの（ポジ型）であっても、溶解性が減少するもの（ネガ型）であってもよい。



(15)

第1の樹脂層40において、図3に示すように、電極14を露出させるための穴44を形成するとともに、切断領域70に開口部42を形成する。穴44は、各電極14ごと形成する。開口部42は、集合体10の切断領域70に沿って一体的に開口させて形成する。言い換えると、集合体10のうち隣接する半導体素子12の境界線に沿って、開口部42を形成する。

例えば、図2に示すように、開口82、84が形成されたマスク80を、第1の樹脂層40の上方に配置して、エネルギー90を照射する。ここで、図2に示すように、第1の樹脂層40の材料が、エネルギーが照射されると溶解性が増加するものであるときは、開口部42及び穴44の形成領域上に開口82、84を配置する。これとは別に、第1の樹脂層40の材料が、エネルギーが照射されると溶解性が減少するものであるときは、開口部42及び穴44の形成領域上を覆って、それ以外の領域上に開口を配置する。その後現像することで、図3に示すように、開口82に対応して開口部42を形成し、開口84に対応して電極14を露出させた穴44を形成する。上述したエネルギー照射技術（露光技術など）を適用する場合には、マスク80の開口82、84からエネルギーが回り込むため、開口部42及び穴44の開口端部は曲面を以て形成される。

図4に示すように、配線20を、電極14から第1の樹脂層40上に形成する。配線20を、フォトリソグラフィ、スパッタ又はメッキ処理等によって形成してもよい。配線20の一部にランド部22を形成する場合は、ランド部22を第1の樹脂層40上に形成する。配線20は、第1の樹脂層40の穴44の内面にも形成する。

配線20を電極14から引き込むことによって、外部端子30を電極14の真上を避けて形成することができる。また、これによって、外部端子30を半導体素子12の能動領域内に設けることができる。すなわち、ピッチ変換をすることができる。従って外部端子30を配置する際に能動領域内、すなわち一定の面としての領域が提供できることになり、外部端子30の設定位置の自由度が非常に増すことになる。例えば配線20を必要な位置で屈曲させることにより、外部端子30を格子状に並べてもよい。

図4に示すように、最下層50を形成する。例えば、最下層50を、第1の樹

(16)

脂層 40 及び配線 20 上に全面に設ける。この場合に第 1 の樹脂層 40 に形成した開口部 42 にも、最下層 50 の材料を充填する。この工程は、第 1 の樹脂層 40 を硬化させてから行うことが好ましい。

図 5 に示すように、最下層 50 において、配線 20 の一部（ランド部 22）を露出させるとともに、切断領域 70 を避けて形成するために開口部 52 を形成する。これは、第 1 の樹脂層 40 において行う工程と同様の方法で行ってもよい。例えば、図 4 に示すように、開口 182、184 が形成されたマスク 180 を、最下層 50 の上方に配置して、エネルギー 90 を照射する。この場合に図 4 に示すように、最下層 50 の材料が、エネルギーが照射されると溶解性が増加するものであるときは、開口部 52 及び穴 54 の形成領域上に開口 182、184 を配置する。これとは別に、最下層 50 の材料として、エネルギーが照射されると溶解性が減少するものを用いてもよい。その後現像することで、図 5 に示すように、開口 182 に対応して、開口部 42 に充填された部分も除去するとともに、開口部 52 を形成する。また、開口 184 に対応して配線 20 の一部（ランド部 22）を露出させた穴 54 を形成する。最下層 50 の形成によって、後の工程で外部端子 30 を簡単に設けることができる。なお、最下層 50 の形成工程を省略して、後述する最上層 60 を配線 20 上に形成してもよい。

図 6 及び図 7 に示すように、外部端子 30 及び最上層 60 を形成する。外部端子 30 を配線 20 上に形成する。詳しくは、配線 20 における第 1 の樹脂層 40 上に形成された一部（ランド部 22）に外部端子 30 を形成する。最下層 50 を形成した場合は、最下層 50 によって露出した配線 20 の一部（ランド部）に外部端子 30 を設ける。最下層 50 を形成することで、外部端子 30 を容易に設けることができる。外部端子 30 を第 1 の樹脂層 40 上に配置することによって、第 1 の樹脂層 40 を応力緩和層として、外部端子 30 に加えられる応力を緩和することができる。ハンダボールなどをランド部 22 に設けて外部端子 30 を形成してもよい。あるいは、ランド部 22 上にハンダクリームを設けてこれを溶融させて表面張力によってボール状にしてもよい。

図 6 に示すように、最上層 60 を形成する。最上層 60 を、外部端子 30 の少なくとも先端部を露出させて形成する。最上層 60 を、外部端子 30 の少なくと

(17)

も根元周囲に設けてもよい。これによって、最上層 60 を応力緩和層として、外部端子 30 に加えられる応力（熱ストレス）を緩和することができる。

例えば、材料として非感光性の樹脂からなる最上層 60 を、最下層 50 及び外部端子 30 上に全面に設ける。この場合に、開口部 42、52 にも、最上層 60 の材料を充填する。その後に、プラズマ等を用いたドライエッチングによって、一部を物理的に除去することによって、外部端子 30 の少なくとも先端部を露出させる。同様にして、開口部 42、52 に充填された部分も除去し、さらに開口部 62 を形成する。こうして、図 7 に示すように、外部端子 30 の少なくとも先端部を露出させると同時に、開口部 42、52、62 をそれぞれ上下方向に連通させて切断領域 70 を避けることができる。なお、上述した例では、最下層 50 及び最上層 60 の開口部 52、62 を別々に形成したが、最下層 50 及び最上層 60 を積層させた後に切断領域 70 を避けるための開口部を一度に形成してもよい。

また、本工程において、最上層 60 を外部端子 30 の根元周囲のみに形成してもよい。すなわち、開口部 42、52 をそれぞれ上下方向に連通させることによって、切断領域 70 を避けてもよい。なお、上述した例とは別に、最上層 60 を、第 1 の樹脂層 40 と同様に露光技術を適用して形成してもよい。

また、上述した例では、第 1 の樹脂層 40 及び第 2 の樹脂層 100 をともに、切断領域 70 を避けて形成したが、本実施の形態はこれに限定されない。すなわち、第 2 の樹脂層 100 である最下層 50 及び最上層 60 が、第 1 の樹脂層 40 に比べてヤング率が低い材料の層である場合は、最下層 50 及び最上層 60 によって、切断領域 70 を覆うように形成しても構わない。特に、外部端子 30 の根元周囲を補強する最上層 60 のみを、切断領域 70 を覆うように設けることが好ましい（第 2 の実施の形態参照）。切断領域 70 を覆う第 2 の樹脂層 100 の材料が第 1 の樹脂層 40 及び第 2 の樹脂層 100 を構成する他の層（最下層 50）の材料よりもヤング率が低い材料であれば、集合体 10 を切断したときに生じる半導体素子 12 の端部の欠けの発生やその進行を抑え、第 1 の樹脂層 40 及び第 2 の樹脂層 100 の半導体素子 12 からの剥離を抑えることができる。

図 7 及び図 8 に示すように、切断領域 70 に沿って、集合体 10 を個片に切断

(18)

する。すなわち、複数の半導体素子 1 2 の集合体 1 0 を含む複数の半導体装置の集合体を個片化して、半導体素子 1 2 ごとの半導体装置 1 を形成する。図 7 は切断するときの集合体 1 0 の断面を示す図であり、図 8 は切断するときの集合体 1 0 全体を示す図である。

集合体 1 0 を、電極 1 4 が形成された面の側から切断する。例えば、少なくとも第 1 の樹脂層 4 0 を避けて形成した切断領域 7 0 に、図 7 に示すように、ブレード 1 1 0 を配置して切断する。ブレード 1 1 0 を高速に回転させて集合体 1 0 を切断することができる。この場合に、集合体 1 0 をテープ（図示しない）等に貼り付けて切断してもよい。

これによれば、少なくとも第 1 の樹脂層 4 0 を避けて形成した切断領域 7 0 に沿って切断するので、切断による半導体装置 1 の端部の欠けを抑えることができる。これによって、半導体装置 1 の第 1 の樹脂層 4 0 及び第 2 の樹脂層 1 0 0 の剥離を防止することができる。したがって、信頼性の高い半導体装置を製造することができる。

次に、図 9 ～図 1 2 に示すように、本実施の形態に係る半導体装置の製造方法の第 1 ～第 4 の変形例を説明する。

#### （第 1 の変形例）

図 9 に示すように本変形例では、切断領域 7 0 を避けて形成する少なくとも 1 つの樹脂層（例えば少なくとも第 1 の樹脂層 4 0）をインクジェット方式によって形成する。これによって、簡単な工程で、第 1 の樹脂層 4 0 を、切断領域 7 0 を避けた必要な領域に設けることが可能となる。また、切断領域 7 0 を避けるとともに、電極 1 4 を避けて、第 1 の樹脂層 4 0 を設ける。

インクジェット方式によれば、インクジェットプリンタ用に実用化された技術を応用することで、高速かつインクを無駄なく経済的に充填するとが可能である。

図 9 に示すインクジェットヘッド 1 1 2 は、例えばインクジェットプリンタ用に実用化されたもので、圧電素子を用いたピエゾジェットタイプ、あるいはエネルギー発生素子として電気熱変換体を用いたバブルジェット（登録商標）タイプ等が使用可能である。これによって、第 1 の樹脂層 4 0 となるペースト 4 6 の吐

(19)

出面積及び吐出パターンを自由に設定することが可能となる。

この場合に、図 9 に示すように、切断領域 70 に第 1 の樹脂層 40 のペースト 46 を弾く成分からなる材料 114 を設け、第 1 の樹脂層 40 を形成してもよい。材料 114 は、例えば、フッ素系の化合物等であってもよい。これによって、第 1 の樹脂層 40 を、確実に切断領域 70 を避けて形成することができる。

#### (第 2 の変形例)

図 10 に示すように、本変形例では、切断領域 70 を避けて形成する少なくとも 1 つの樹脂層（例えば少なくとも第 1 の樹脂層 40）を印刷方式によって形成する。これによって、簡単な工程で、第 1 の樹脂層 40 を、切断領域 70 を避けた必要な領域に設けることが可能となる。また、切断領域 70 を避けるとともに、電極 14 を避けて、第 1 の樹脂層 40 を設ける。

例えば、図 10 に示すように、切断領域 70 と、各電極 14 とをマスク 122 によって覆う。言い換えると、切断領域 70 及び電極 14 以外の領域は、マスク 122 の開口部となる。次に、第 1 の樹脂層 40 の材料となるペースト 46 を集合体 10 の全面に設け、マスク 122 の開口している領域に、マスク 122 の高さで均一にペースト 46 を充填する。この場合に、スキージ 120 を使用して、開口部にペースト 46 を充填すればよい。その後、マスク 122 を取り除くことによって、切断領域 70 及び電極 14 を避けた、必要な領域に第 1 の樹脂層 40 を形成することができる。

#### (第 3 の変形例)

図 11 に示すように、本変形例では、少なくとも 1 つの樹脂層（例えば少なくとも第 1 の樹脂層 40）を、予めパターンニングして別部材 130 に形成しておき、集合体 10 に転写させて、切断領域 70 を避けた領域に形成する。これによって、より簡単に、第 1 の樹脂層 40 を切断領域 70 を避けた領域に形成することができる。また、切断領域 70 を避けるとともに、電極 14 を避けて、第 1 の樹脂層 40 を設ける。

この場合に、上述した例に示すように、材料 114 を設けて第 1 の樹脂層 40 を除いてもよい。これによって、第 1 の樹脂層 40 を、確実に切断領域 70 を避けて形成することができる。

(20)

## (第4の変形例)

図12は、本変形例に係る外部端子30の周囲を示す図である。本変形例は、本実施の形態に係る半導体装置の変形例である。本変形例では、最上層160を含む第2の樹脂層102における外部端子30の周囲に設ける部分の形態が上述と異なる。

例えば外部端子30をボール状に形成した場合に、ランド部22に設けられた外部端子30の接合部の平面視の径 $D_2$ と、外部端子30の直径 $D$ とは、

$$D_2 \leq D$$

の関係にある。このような接合部の平面視の径 $D_2$ と、外部端子30の最上層160から露出した部分の平面視の径 $D_1$ とが、

$$D_1 < D_2$$

の関係を有するように、最上層160を形成する。すなわち、外部端子30を回路基板との電氣的接続を妨げない程度に、外部端子30の周囲を覆って最上層160を形成してもよい。この場合に図12に示すように、最上層160の外部端子30を覆う部分は、最上層160の他の面より隆起していてもよい。

これによって、外部端子30を回路基板に電氣的に接続した場合に、両者の電氣的接続部を確実に保護することができる。外部端子30における配線20との接合部に加えられる応力をより一層緩和して、接合部のクラックの発生を防止することができる。したがって、より信頼性の高い半導体装置を提供することができる。なお、本変形例に係る半導体装置の製造方法は上述と同様であってもよい。

## (第2の実施の形態)

図13～図15は、本実施の形態に係る半導体装置及びその製造方法について説明するための図である。図13は、本実施の形態に係る半導体装置を含む集合体（半導体ウェーハ）の断面図である。図14は、本実施の形態に係る半導体装置の平面図であり、詳しくは、図13に示す集合体が個辺に切断された半導体チップの平面図である。また、図14では、配線220及び第2の樹脂層104は省略してある。なお、図15は、本実施の形態の変形例に係る半導体装置を含む集合体（半導体ウェーハ）の断面図である。

(21)

本実施の形態に係る半導体装置は、個々の半導体素子（半導体チップ）１２と、配線２２０と、外部端子３０と、複数の樹脂層（図１３では第１の樹脂層２４０及び第２の樹脂層１０４）と、を含む。そして、複数の樹脂層のうちの少なくとも１つの樹脂層（図１３では全ての樹脂層）は、半導体素子１２の端部を避けて形成されている。半導体装置２は、第１の樹脂層２４０の形態が第１の実施の形態と異なる。また、第２の樹脂層１０４は、１層で形成されてもよいが、図１３に示す例では、最上層６０及び最下層２５０の複数層からなる。なお、半導体装置２は、図１３に示す半導体装置を切断してなるものである。以下の説明以外においては、第１の実施の形態と同様の形態であってもよい。

本実施の形態に係る半導体素子１２は、電極１４が端部に形成されている。第１の樹脂層２４０は、半導体素子１２の中央部に形成されている。言い換えれば、第１の樹脂層２４０は、半導体素子１２における電極１４よりも内側の領域に形成されている。図１４に示すように、半導体素子（半導体チップ）１２の対向する２辺に複数の電極１４が並ぶ場合には、第１の樹脂層２４０は、各辺に並ぶ電極１４で挟まれた領域に形成される。あるいは、半導体素子１２の全ての辺（４辺）に複数の電極１４が並ぶ場合には、第１の樹脂層２４０は、各辺に並ぶ電極１４で囲まれた領域に形成される。なお、半導体素子１２に形成される第１の樹脂層２４０は、半導体素子１２の平面視において、図１４に示すように一つの領域に一体的に形成されてもよく、あるいは複数の領域に分割して形成されてもよい。

これによって、第１の樹脂層２４０の熱膨張係数が、半導体素子１２に対してある程度異なる場合であっても、第１の樹脂層２４０の形成領域が小さく抑えられているので、外部端子３０に加えられる応力を緩和することができる。

また、このように第１の樹脂層２４０を形成することで、切断領域７０を避けて第１の樹脂層２４０を形成することができる。なお、配線２２０は、第１の実施の形態と同様に、電極１４から第１の樹脂層２４０上に形成すればよい。

また、第１の樹脂層２４０の熱膨張係数は、第２の樹脂層１０４よりも小さくてもよい。これによって、熱ストレスによって外部端子３０に加えられる応力等を緩和することができる。

(22)

本実施の形態に係る半導体装置は、第2の樹脂層104が、その平面形状が半導体素子12の外周よりも内側に位置するように形成されている。詳しくは、第2の樹脂層104が、半導体素子12の端部を避けて形成されている。その他の形態は、第1の実施の形態と同様であってもよい。

図15に示すように、本実施の形態の変形例として、第2の樹脂層104の最上層60は、半導体素子12の端部を覆うように形成されてもよい。特に、最上層60は、第1の樹脂層240及び第2の樹脂層104を構成する他の層（最下層250）の材料よりも、ヤング率が低い材料を用いることが好ましい。すなわち、複数の樹脂層のうち、第2の樹脂層104の最上層60が半導体素子12の端部に至るまで形成されても、有効に半導体素子12の端部の欠けの発生を防止し、その進行を抑え、樹脂層が半導体素子12の端部から剥離することを防ぐことができる。

以下に、本実施の形態に係る半導体装置の製造方法を説明する。

第1の樹脂層240を、電極14上を含む集合体10上に全面に設けた後、露光技術等を適用して、各半導体素子12における複数の電極14よりも内側の領域に形成する。これによって、切断領域70を避けて第1の樹脂層240を形成することができる。その後、電極14から第1の樹脂層240上に配線220を形成した後、必要に応じて最下層250を形成する。最下層250に、ランド部222を露出させた穴254を形成することで、外部端子30を簡単に設けることができる。また、最下層250の形成工程は省略してもよい。

外部端子30及び最上層60を第1の実施の形態と同様に形成し、切断領域70に開口部252、62を形成する。その後に、切断領域70に沿って集合体10を切断する。これによって、半導体装置の複数の樹脂層の剥離を抑えることができる。

あるいは、最上層60を集合体10の全面に設けた後、最上層60のうち外部端子30を覆う部分のみを除去してもよい。すなわち、最上層60を、集合体10の切断領域70を覆うように残してもよい。これによれば、簡単な工程で最上層60を形成することができる。

なお、本実施の形態においても、上述の実施の形態における第1～第4の変形



(23)

例を適用して半導体装置を製造することができる。

(第3の実施の形態)

図16～図18は、本実施の形態に係る半導体装置及びその製造方法について説明するための図である。図16は、本実施の形態に係る半導体装置を含む集合体（半導体ウェーハ）の断面図である。図17は、本実施の形態に係る半導体装置の平面図であり、詳しくは、図16に示す集合体が個辺に切断された半導体チップの平面図である。また、図16では、配線220及び第2の樹脂層104は省略してある。なお、図18は、本実施の形態の変形例に係る半導体装置を含む集合体（半導体ウェーハ）の断面図である。

本実施の形態に係る半導体装置は、個々の半導体素子（半導体チップ）12と、配線220と、外部端子30と、複数の樹脂層（図16では第1の樹脂層340及び第2の樹脂層104）と、を含む。そして、複数の樹脂層のうちの少なくとも1つの樹脂層（図16では全ての樹脂層）は、半導体素子12の端部を避けて形成されている。半導体装置3は、第1の樹脂層340の形態が上述の実施の形態とは異なる。なお、半導体装置3は、図16に示す半導体装置を切断してなるものである。以下の説明以外においては、第1及び第2の実施の形態と同様の形態であってもよい。

本実施の形態に係る第1の樹脂層340は、外部端子30下のみに形成されている。半導体素子12に形成されるそれぞれの外部端子30下に、いずれかの第1の樹脂層340が形成されている。すなわち、第1の樹脂層340は、その個数が外部端子30の個数と同じになるように形成されている。

図17に示すように、第1の樹脂層340の外形は、半導体素子12の平面視において、外部端子30の外形よりも大きく形成される。第1の樹脂層340の外形は、円形又は矩形などであってもよい。

これによれば、第1の樹脂層340の形成領域がさらに小さく抑えられているので、第1の樹脂層340の熱膨張係数が半導体素子12に対してある程度異なる場合であっても、外部端子30に加えられる応力をさらに緩和することができる。

図18に示すように、本実施の形態の変形例として、第2の樹脂層104の最

(24)

上層 60 は、半導体素子 12 の端部を覆うように形成されてもよい。特に、最上層 60 は、第 1 の樹脂層 340 及び第 2 の樹脂層 104 を構成する他の層（最下層 250）の材料よりも、ヤング率が低い材料を用いることが好ましい。すなわち、複数の樹脂層のうち、第 2 の樹脂層 104 の最上層 60 が半導体素子 12 の端部に至るまで形成されても、有効に半導体素子 12 の端部の欠けの発生を防止し、その進行を抑え、樹脂層が半導体素子 12 の端部から剥離することを防ぐことができる。

また、半導体装置の製造方法については、第 2 の実施の形態と同様の方法によって、第 1 の樹脂層 340 を外部端子 30 の下のみに形成すればよい。なお、本実施の形態においても、第 1 の実施の形態における第 1 ～第 4 の変形例を適用して半導体装置を製造することができる。

図 19 には、本実施の形態に係る半導体装置 1 を実装した回路基板 1000 が示されている。回路基板 1000 には例えばガラスエポキシ基板等の有機系基板を用いることが一般的である。回路基板 1000 には例えば銅からなる配線パターンが所望の回路となるように形成されていて、それらの配線パターンと半導体装置 1 の外部端子 30 とを機械的に接続することでそれらの電氣的導通を図る。

そして、本発明を適用した半導体装置 1 を有する電子機器 1100 として、図 20 にはノート型パーソナルコンピュータ、図 21 には携帯電話 1200 が示されている。

#### 【図面の簡単な説明】

図 1 は、本発明の第 1 の実施の形態に係る半導体装置を説明するための図である。

図 2 は、本発明の第 1 の実施の形態に係る半導体装置の製造方法を説明するための図である。

図 3 は、本発明の第 1 の実施の形態に係る半導体装置の製造方法を説明するための図である。

図 4 は、本発明の第 1 の実施の形態に係る半導体装置の製造方法を説明するための図である。

図 5 は、本発明の第 1 の実施の形態に係る半導体装置の製造方法を説明するた

めの図である。

図6は、本発明の第1の実施の形態に係る半導体装置の製造方法を説明するための図である。

図7は、本発明の第1の実施の形態に係る半導体装置の製造方法を説明するための図である。

図8は、本発明の第1の実施の形態に係る半導体装置の製造方法を説明するための図である。

図9は、本発明の第1の実施の形態に係る半導体装置の製造方法の第1の変形例を説明するための図である。

図10は、本発明の第1の実施の形態に係る半導体装置の製造方法の第2の変形例を説明するための図である。

図11は、本発明の第1の実施の形態に係る半導体装置の製造方法の第3の変形例を説明するための図である。

図12は、本発明の第1の実施の形態に係る半導体装置及びその製造方法の第4の変形例を説明するための図である。

図13は、本発明の第2の実施の形態に係る半導体装置及びその製造方法を説明するための図である。

図14は、本発明の第2の実施の形態に係る半導体装置を説明するための図である。

図15は、本発明の第2の実施の形態の変形例に係る半導体装置及びその製造方法を示す図である。

図16は、本発明の第3の実施の形態に係る半導体装置及びその製造方法を説明するための図である。

図17は、本発明の第3の実施の形態に係る半導体装置を説明するための図である。

図18は、本発明の第3の実施の形態の変形例に係る半導体装置及びその製造方法を示す図である。

図19は、本実施の形態に係る半導体装置が実装された回路基板を示す図である。

(26)

図 20 は、本実施の形態に係る半導体装置を有する電子機器を示す図である。

図 21 は、本実施の形態に係る半導体装置を有する電子機器を示す図である。

【図 1】

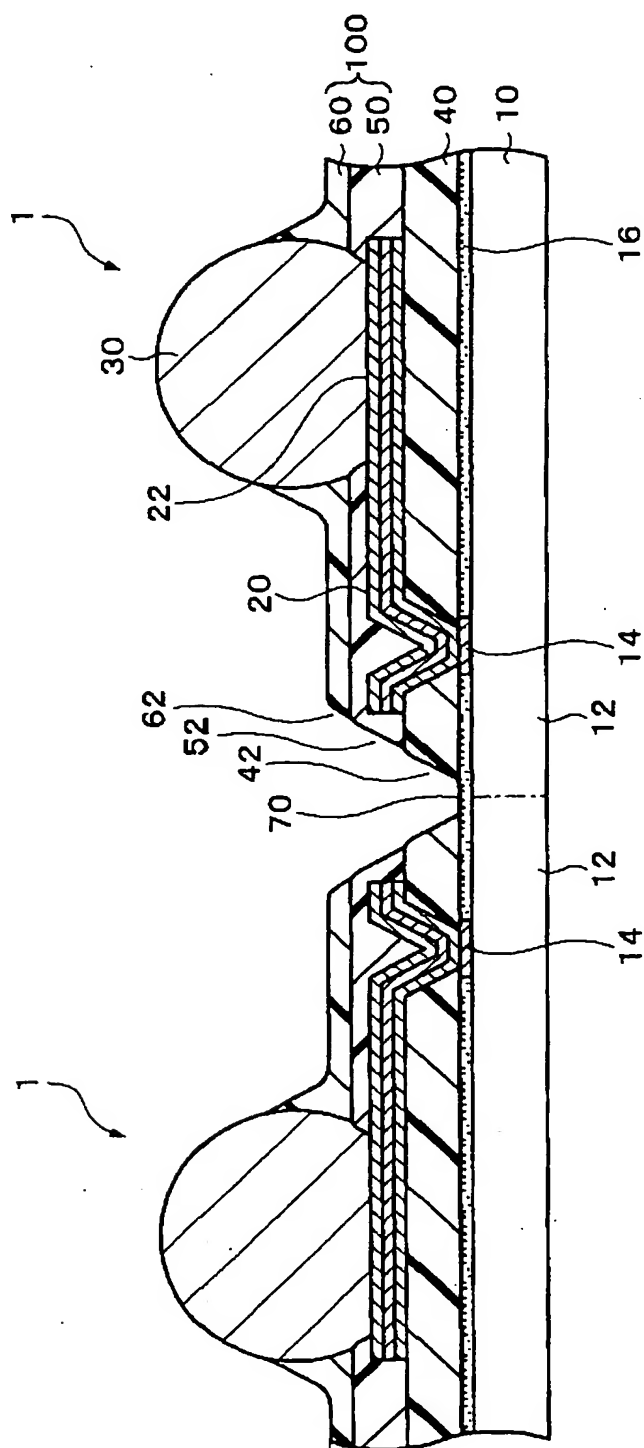
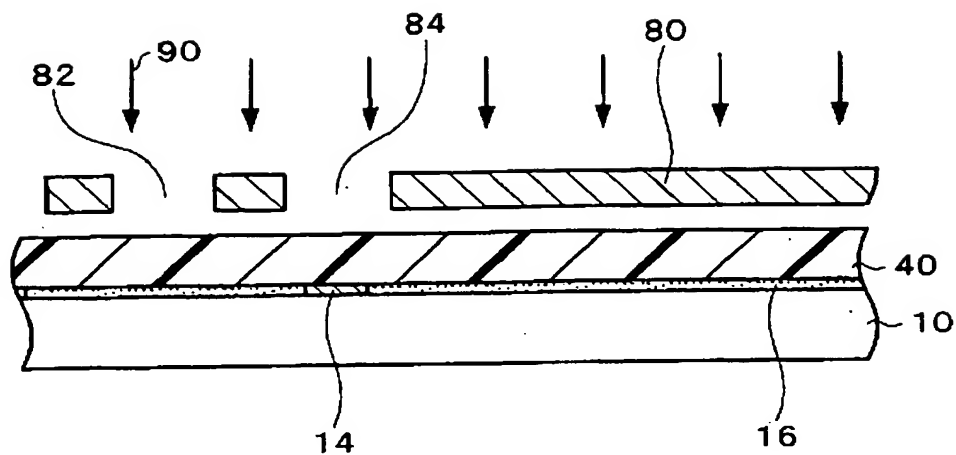


FIG. 1

(27)

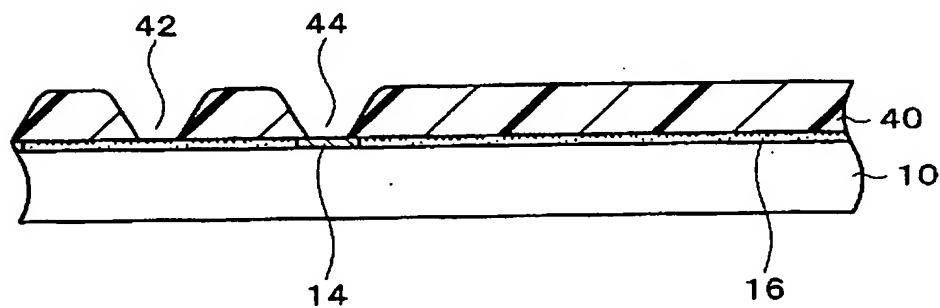
【図2】

FIG. 2



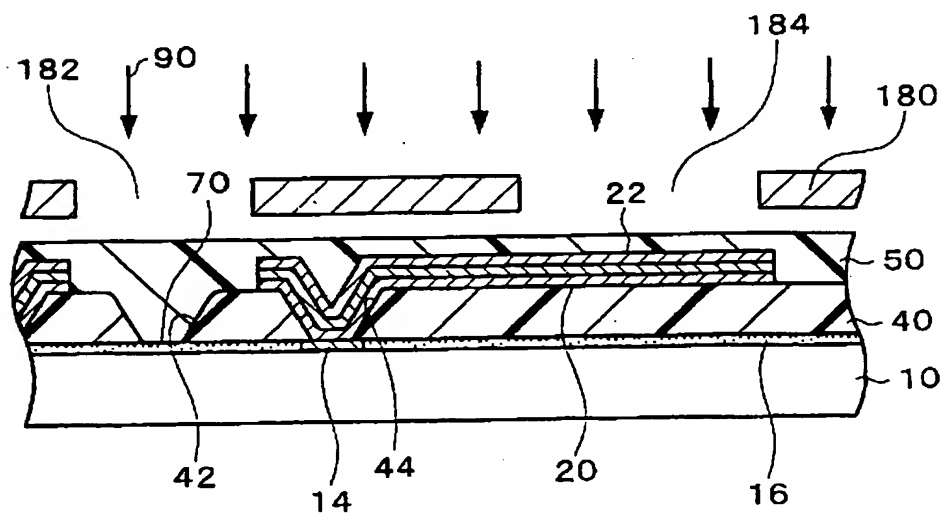
【図3】

FIG. 3



【図4】

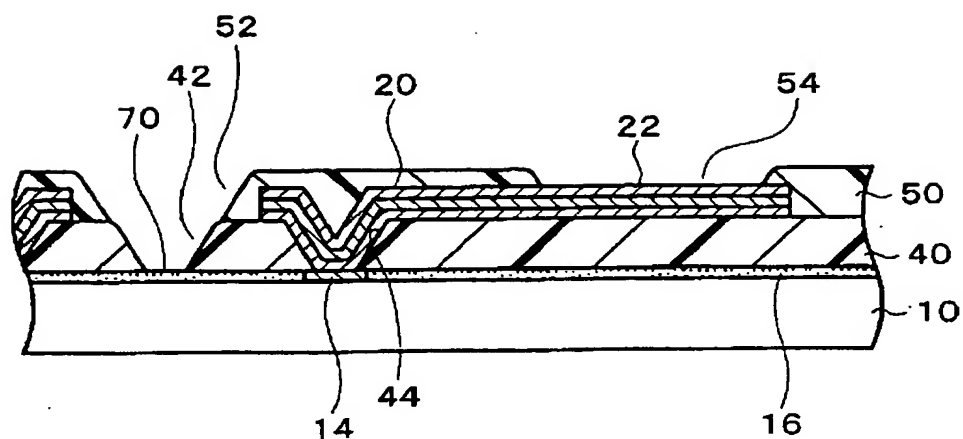
FIG. 4



(28)

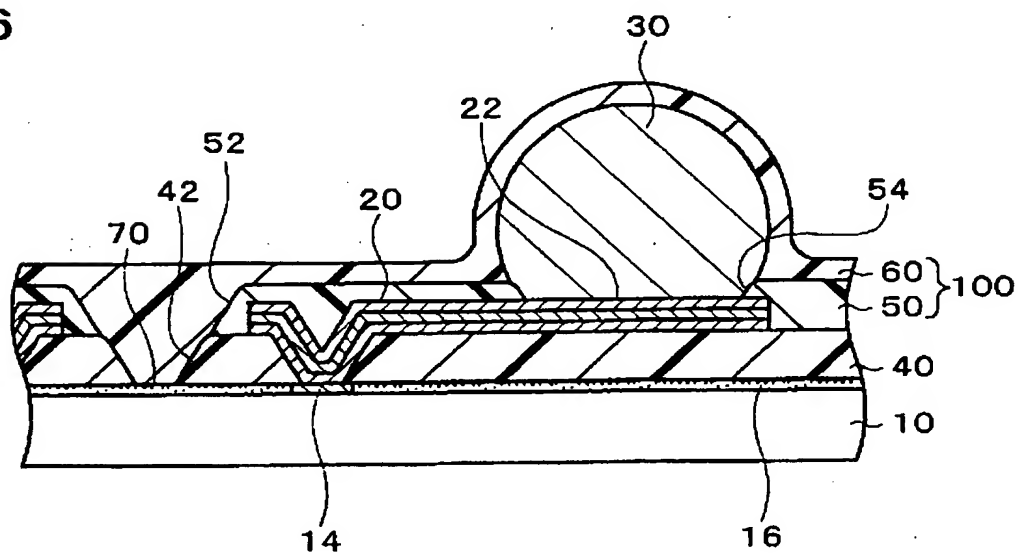
【図5】

FIG. 5



【図 6】

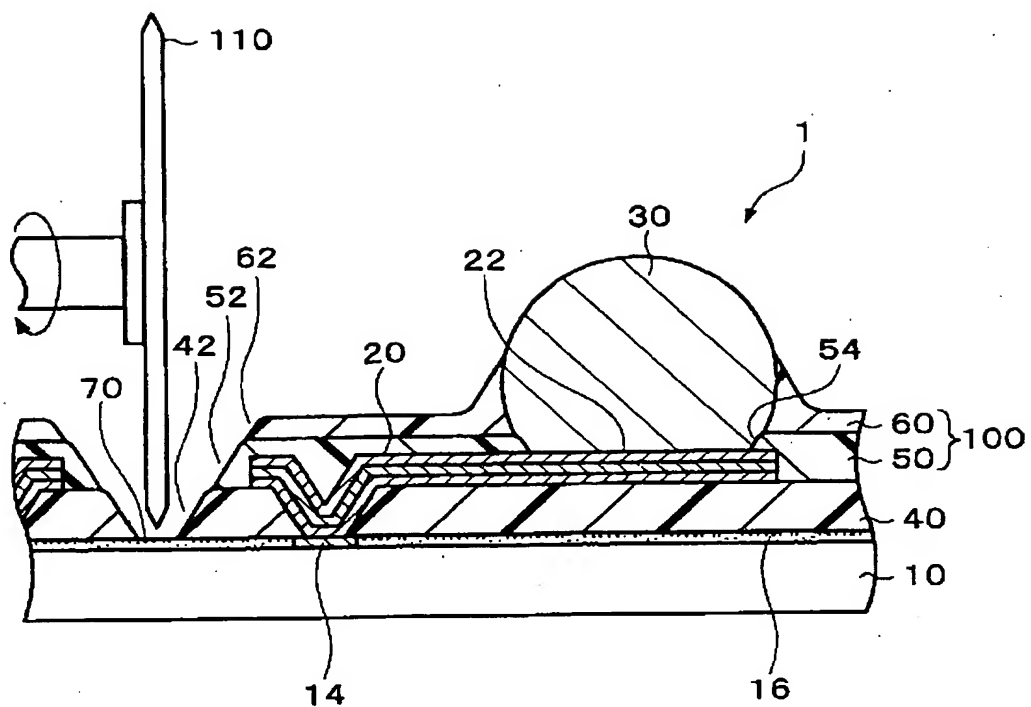
FIG. 6



(29)

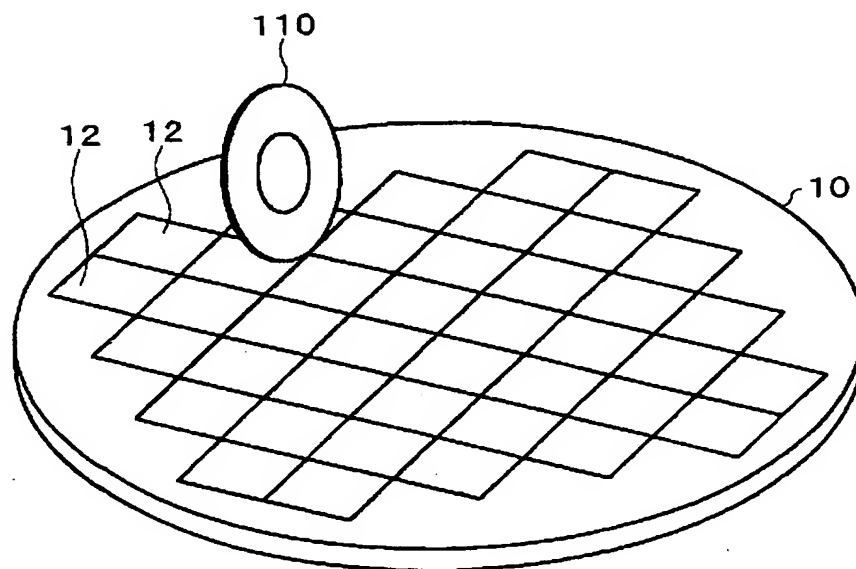
【図7】

FIG. 7



【図8】

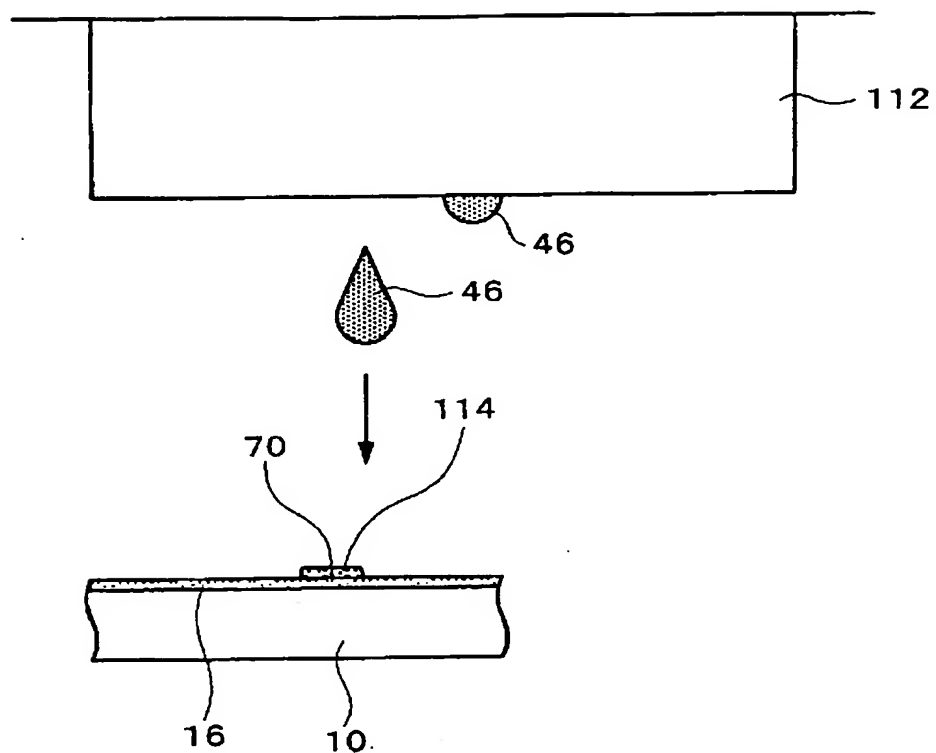
FIG. 8



(30)

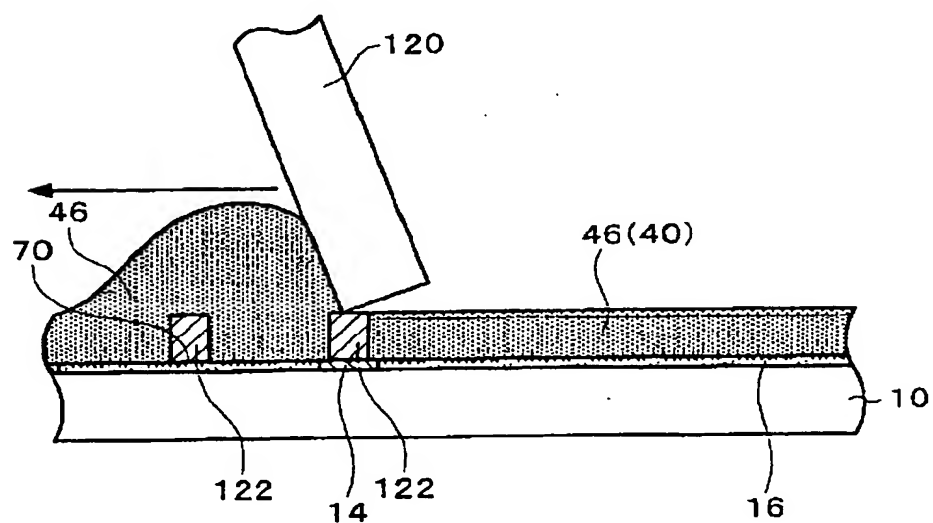
【図9】

FIG. 9



【図10】

FIG. 10

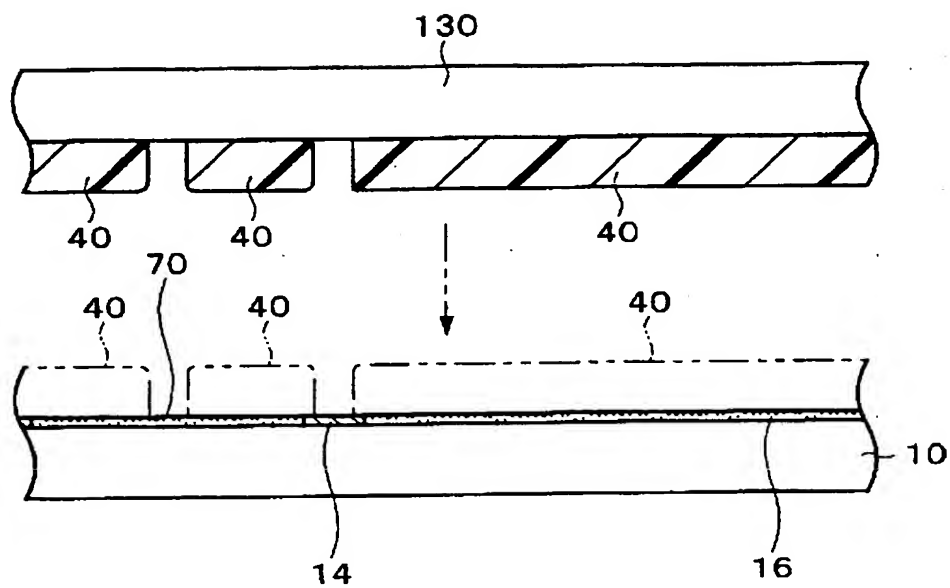




(31)

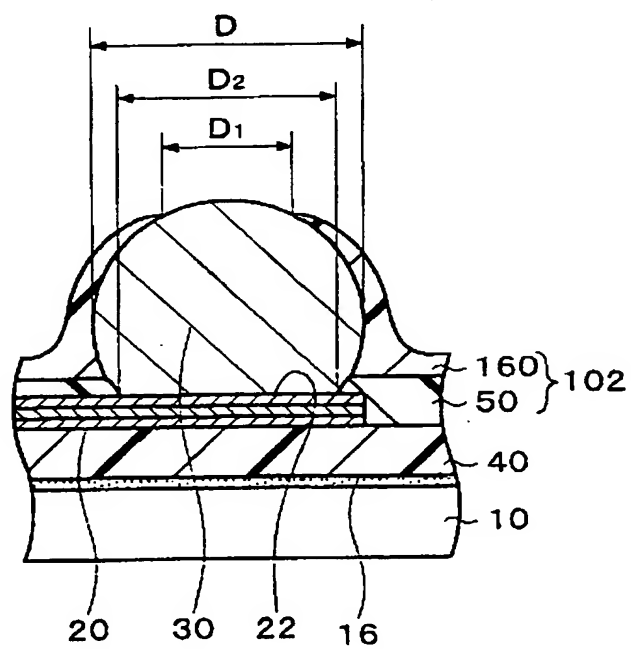
【図 11】

FIG. 11



【図 12】

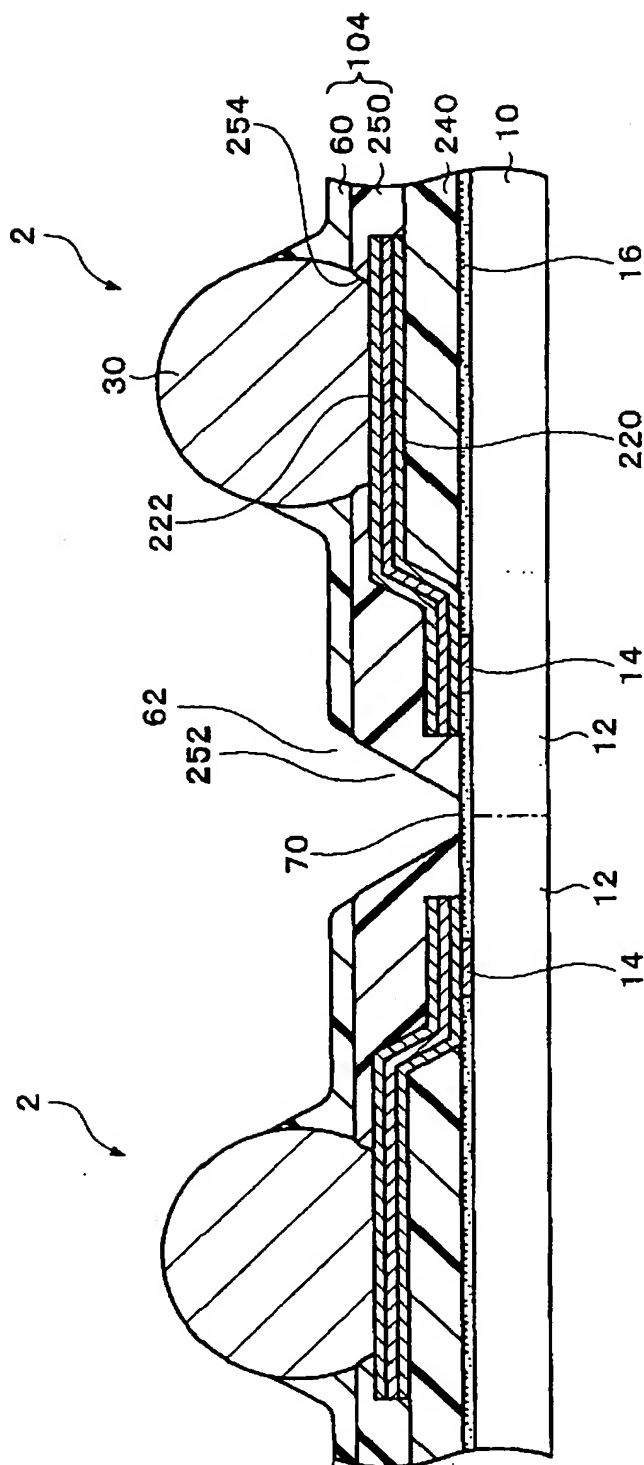
FIG. 12



(32)

【圖 13】

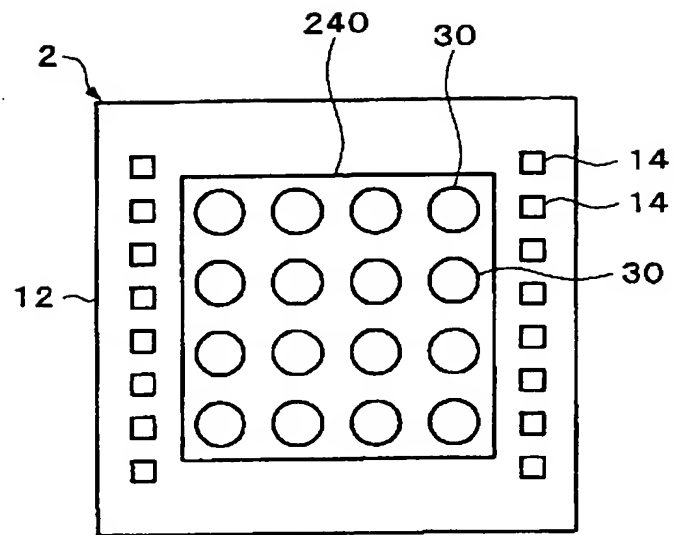
**FIG. 13**



(33)

【図14】

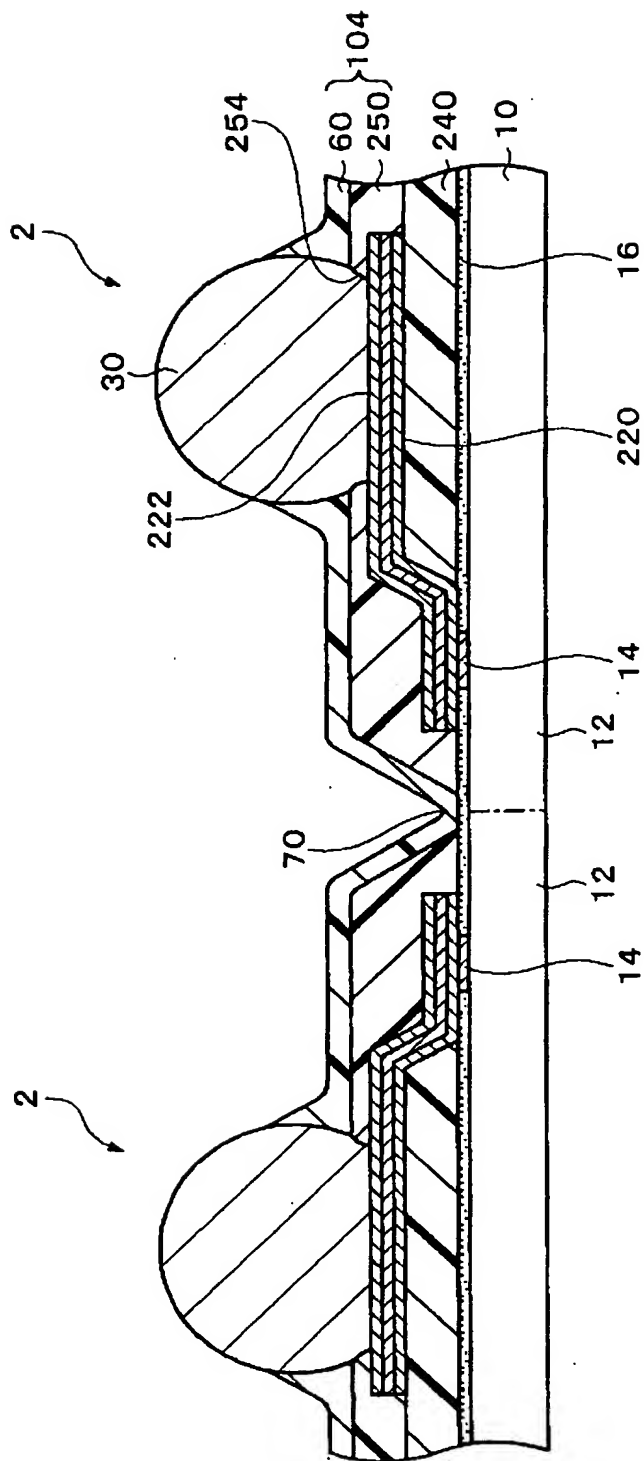
FIG. 14



(34)

【図15】

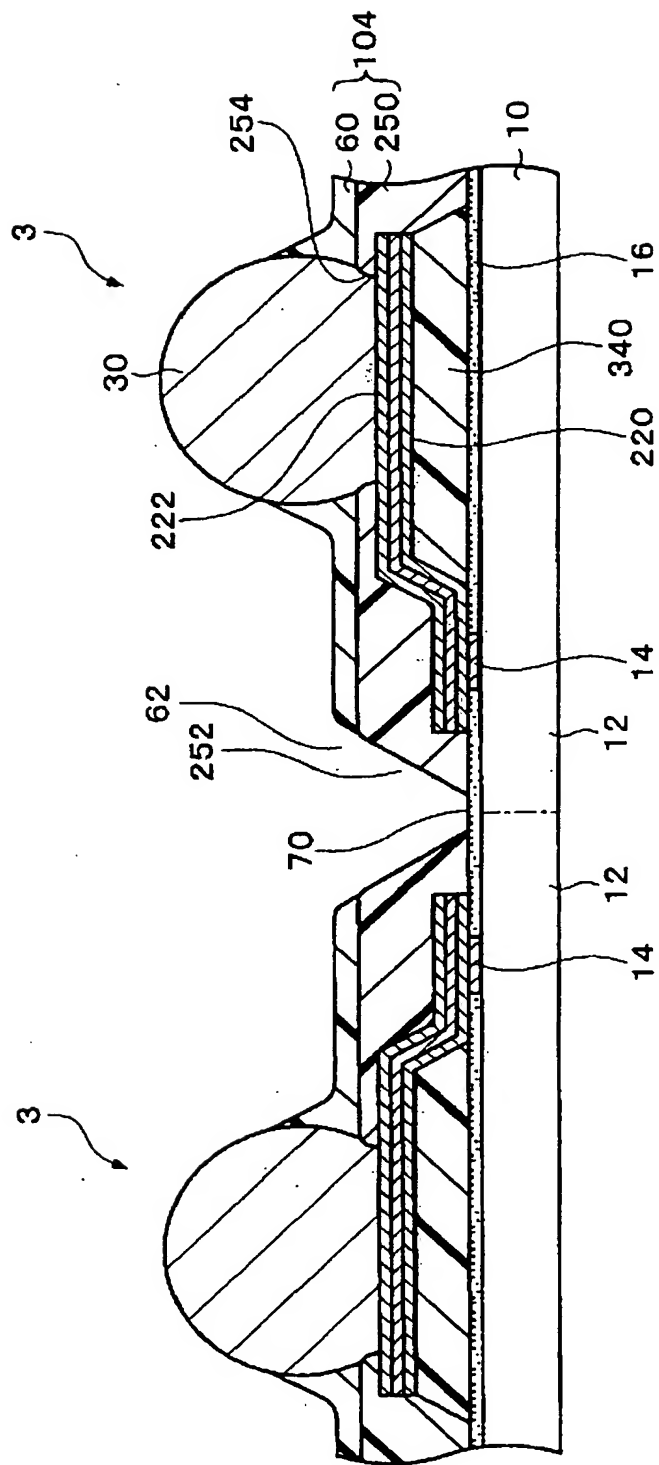
FIG. 15



(35)

【図16】

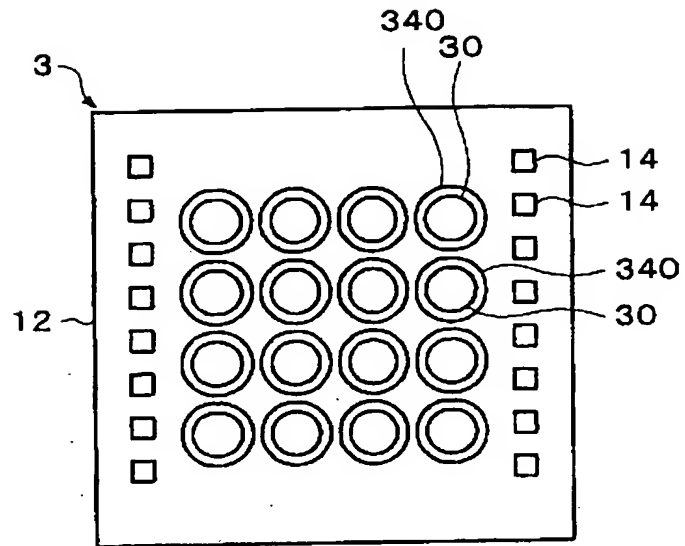
FIG. 16



(36)

【図17】

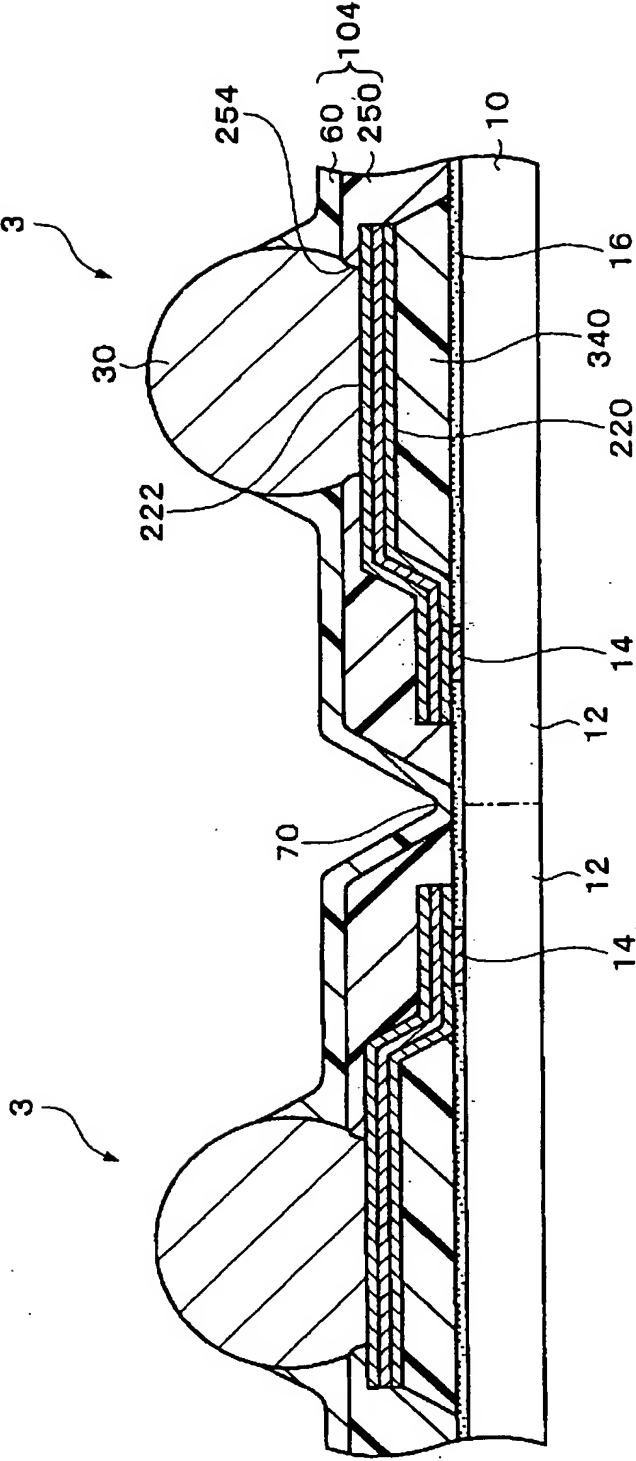
FIG. 17



(37)

【図18】

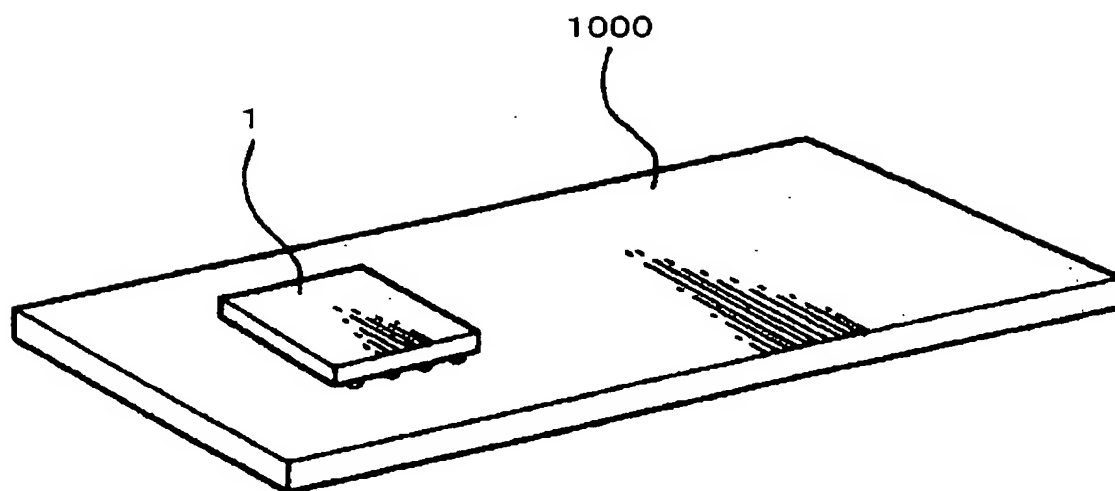
FIG. 18



(38)

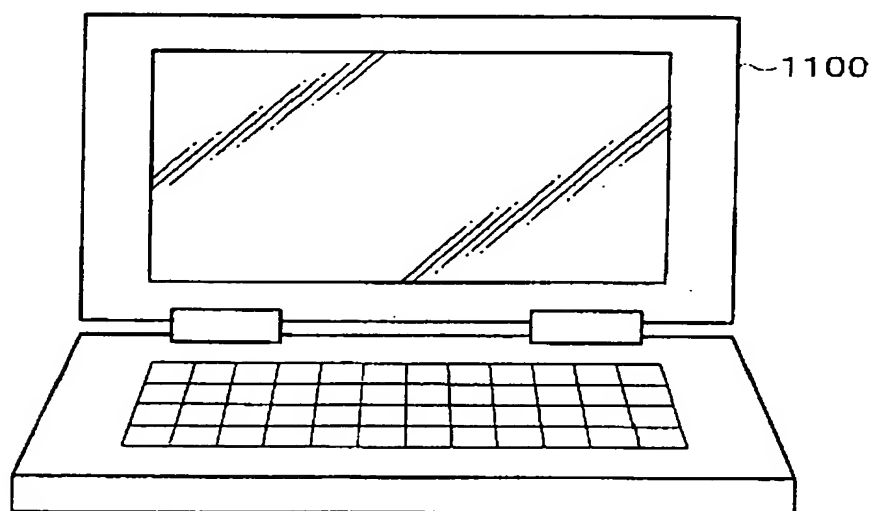
【図19】

FIG. 19



【図20】

FIG. 20

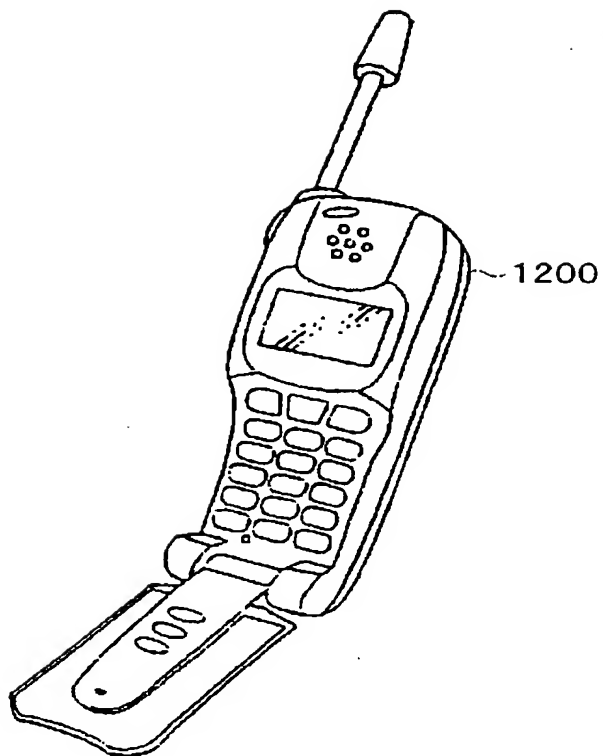




(39)

【図 21】

FIG. 21



(40)

## 【国際調査報告】

国際調査報告		国際出願番号 PCT/JPO1/02325	
A. 発明の属する分野の分類 (国際特許分類 (IPC)) Int. Cl <sup>1</sup> H01L23/28, H01L23/12, H01L21/301			
B. 調査を行った分野 調査を行った最小限資料 (国際特許分類 (IPC)) Int. Cl <sup>1</sup> H01L23/28, H01L23/12, H01L21/301			
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1926-1996年 日本国公開実用新案公報 1971-2001年 日本国登録実用新案公報 1994-2001年 日本国実用新案登録公報 1996-2001年			
国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)			
C. 関連すると認められる文献			
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号	
Y	J P, 58- 93266, A (東京芝浦電気株式会社) 2. 6月. 1983 (02. 06. 83), (ファミリーなし)	1-3, 5-8, 10, 12-21	
Y	J P, 2000-40773, A (ソニー株式会社) 8. 2月. 2000 (08. 02. 00), (ファミリーなし)	1-3, 5-8, 10, 12-21	
Y	J P, 10-335779, A (大日本印刷株式会社) 18. 12月. 1998 (18. 12. 98), (ファミリーなし)	3, 5	
A	J P, 8-264489, A (日本ブレージン・システム株式会社) 11. 10月. 1996 (11. 10. 96), (ファミリーなし)	1-21	
<input type="checkbox"/> C欄の続きにも文献が列挙されている。 <input type="checkbox"/> パテントファミリーに関する別紙を参照。			
* 引用文献のカテゴリー 「A」 特に関連のある文献ではなく、一般的技術水準を示すもの 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「I」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す) 「O」 口頭による開示、使用、展示等に言及する文献 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願日の後に公表された文献 「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」 同一パテントファミリー文献			
国際調査を完了した日 14. 06. 01		国際調査報告の発送日 26.06.01	
国際調査機関の名称及びあて先 日本国特許庁 (ISA/J P) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号		特許庁審査官 (権限のある職員) 中 澤 登 一 印 4 R 8 7 2 7 電話番号 03-3581-1101 内線 6758	

様式PCT/ISA/210 (第2ページ) (1998年7月)

---

(注) この公表は、国際事務局 (W I P O) により国際公開された公報を基に作成したものである。

なおこの公表に係る日本語特許出願 (日本語実用新案登録出願) の国際公開の効果は、特許法第 1 8 4 条の 1 0 第 1 項 (実用新案法第 4 8 条の 1 3 第 2 項) により生ずるものであり、本掲載とは関係ありません。